

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-319257

(43)Date of publication of application : 15.11.1994

(51)Int.Cl.

H02M 3/28

(21)Application number : 05-125460

(71)Applicant : TOKO INC

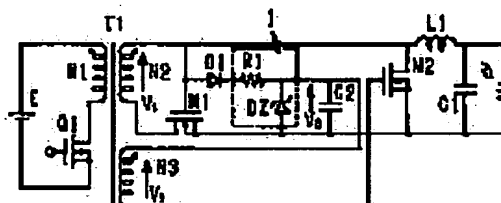
(22)Date of filing : 28.04.1993

(72)Inventor : ISHII MASANORI

(54) SWITCHING POWER SUPPLY**(57)Abstract:**

PURPOSE: To provide a switching power supply in which the number of windings to be provided in a converter transformer can be reduced to the utmost and a voltage between the terminals of a capacitor used for bias can be kept constant and also the output voltage can be adjusted in the case of using a MOS FET for a rectifier element.

CONSTITUTION: This switching power supply has a MOS FET used for a rectifier element, wherein for a converter transformer T1 is used one having a primary, a secondary and a tertiary winding and the one end of the tertiary winding N3 is connected to the gate of a MOS FET M2 for a rectification use at the time of commutation, and the other end of the tertiary winding N3 is connected to the source of the MOS FET M2 for a rectification use through a capacitor C2 used for bias at the time of communication, and a diode D1 used for blocking a reverse current and a constant-voltage circuit 1 are provided between the connection point of the capacitor C2 used for bias and the tertiary winding N3 and the one end of the secondary winding N2 of the converter transformer T1.

**LEGAL STATUS**

[Date of request for examination] 20.12.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2999905

[Date of registration] 05.11.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-319257

(43)公開日 平成6年(1994)11月15日

(51)Int.Cl.⁵

H 0 2 M 3/28

識別記号

庁内整理番号

F I

技術表示箇所

F 8726-5H

審査請求 未請求 請求項の数 2 F D (全 5 頁)

(21)出願番号 特願平5-125460

(22)出願日 平成5年(1993)4月28日

(71)出願人 000003089

東光株式会社

東京都大田区東雪谷2丁目1番17号

(72)発明者 石井 正紀

埼玉県比企郡玉川村大字玉川字日野原828

東光株式会社玉川工場内

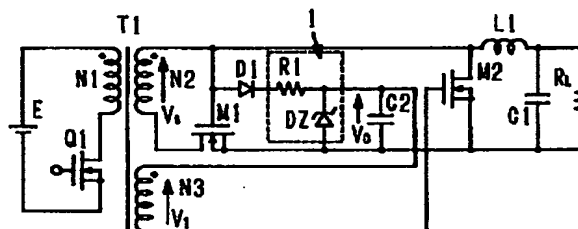
(74)代理人 弁理士 大田 優

(54)【発明の名称】 スイッチング電源

(57)【要約】

【目的】 整流素子としてMOS FETを使用するのに際し、コンバータトランスに設ける巻線数の増加を極力抑え、かつ、バイアス用コンデンサの端子間電圧を一定に保つことができ、さらに出力電圧の調整を可能としたスイッチング電源を得る。

【構成】 整流素子としてMOS FETを使用したスイッチング電源において、コンバータトランスT1に1次、2次及び3次巻線を有するものを使用し、3次巻線N3の一端を転流時整流用MOS FET M1のゲートに接続し、3次巻線N3の他端をバイアス用コンデンサC2を介して転流時整流用MOS FET M1のソースに接続し、バイアス用コンデンサC2と3次巻線N3との接続点と、コンバータトランスT1の2次巻線N2の一端の間に、逆流阻止用のダイオードD1及び定電圧回路を設ける。



【特許請求の範囲】

【請求項1】 コンバータトランスの1次巻線に接続されたスイッチング素子がスイッチング動作を行うことにより、コンバータトランスの2次巻線に接続した整流平滑回路を介して安定化した直流出力を負荷に供給するスイッチング電源において、整流平滑回路は、整流素子、転流時整流素子、チョークコイル及び平滑コンデンサより成り、該整流素子及び該転流時整流素子としてMOS FETを使用し、また、該コンバータトランスに駆動用巻線を設け、前記転流時整流用のMOS FETのゲートに該駆動用巻線の一端を接続し、駆動用巻線の他端をバイアス用コンデンサを介して該転流時整流用のMOS FETのソースと接続し、前記スイッチング素子がオン状態の時に、該コンバータトランスの2次巻線に発生する起電圧によって該バイアス用コンデンサを充電し、かつ、該バイアス用コンデンサの充電電圧が所定の値となるように、該バイアス用コンデンサ及び該駆動用巻線の接続点と該コンバータトランスの2次巻線の一端の間に逆流素子用のダイオード及び定電圧回路を設けた回路構成を有し、該スイッチング素子がオン状態の時には、該整流用のMOS FETがオン状態、該転流時のMOS FETがオフ状態となり、該スイッチング素子がオフ状態の時には、該整流用のMOS FETがオフ状態、該転流時のMOS FETがオン状態となるようにした同期整流方式のスイッチング電源。

【請求項2】 請求項1のスイッチング電源において、該整流用のMOS FETのゲート駆動電圧は、コンバータトランスの2次巻線に発生する電圧より得ることを特徴とするスイッチング電源。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、整流素子としてMOS FETを使用し、そのMOS FETのオン、オフ動作をスイッチング素子のスイッチング動作と同期させたスイッチング電源に関する。

【0002】

【従来の技術】 整流素子として一般的に使用されているダイオードには、順方向電圧降下が存在する事により電力損失がある。整流素子における電力損失を低減する一つ的手段として、オン状態での電力損失の低いトランジスタ（ここではMOS FET）を整流素子として用いることが考えられる。しかし、MOS FETを整流素子として用いる場合には、MOS FETの寄生ダイオードの存在を考慮しなければならない。すなわち、その理由は以下の三項目による。

①寄生ダイオードの導通時には、順方向電圧降下により損失が増加する。

②寄生ダイオードが導通した後に逆電圧が印加されると、ダイオードの逆回復特性によりサージ電流が発生する。

③寄生ダイオードが導通すると、チャネルドレイン接合領域にキャリアが存在するようになり、MOS FETのターンオン・オフの dV/dt 特性が悪くなる。以上のような現象は、スイッチング電源を駆動する上で好ましくないため、MOS FETの寄生ダイオードを導通させない手段が必要となる。

【0003】 整流素子にMOS FETを使用し、その寄生ダイオードを導通させないようにした従来のスイッチング電源の回路の一例を図2に示した。図2において、M1は主整流用の整流素子としてのMOS FETであり、M2は転流時整流用の整流素子としてのMOS FETである。また、T2はコンバータトランスであり、1次巻線N1、2次巻線N2の他に複数の巻線を有し、N3は転流時整流用MOS FET M2の駆動用巻線、N4はバイアス用コンデンサC2の充電用巻線、N5は整流用MOS FET M1の駆動用巻線である。図2に示す回路の動作を、回路の各点の電圧波形を示した図3を参照しながら以下に説明する。

【0004】 いまスイッチングトランジスタQ1がオン状態である時、直流電源EによりコンバータトランスT2の1次巻線N1に電流が流れ、N2～N5の各巻線に電圧が誘起される。この時、駆動用巻線N5に誘起された電圧 V_1 により、整流用MOS FET M1は正バイアスされてオン状態となる。整流用MOS FET M1がオン状態となることで2次巻線N2に誘起された電圧 V_2 が負荷に直流電力を供給する。ここで、バイアス用コンデンサC2は充電状態にあり、その端子間電圧 V_c と駆動用巻線N3に発生した電圧 V_3 との関係が $V_3 > V_c$ とすると、電圧 V_3 により転流時整流用MOS FET M2は逆バイアスされてオフとなる。

【0005】 次にスイッチングトランジスタQ1がオフ状態に移行すると、N2～N5の各巻線には巻線のインダクタンスにより、それまでとは逆方向の電圧が発生する。各巻線の電圧の極性が反転するため、今度は、整流用MOS FET M1は逆バイアスされてオフ状態となる。この時充電用巻線N4に発生した電圧は、逆流阻止用のダイオードD1の順方向電圧となってバイアス用コンデンサC2を充電し、転流時整流用MOS FET M2は、駆動用巻線N3に発生した電圧とバイアス用コンデンサC2の端子間電圧 V_c が重畳した電圧により正バイアスされ、オン状態となる。転流時整流用MOS FET M2がオン状態となることで、チョークコイルL1の両端間には転流時整流用MOS FET M2の主電流路を介して閉回路が形成され、チョークコイルL1に発生したフライバック電圧により負荷に直流電力が供給される。

【0006】 スwitchングトランジスタQ1がオフ状態にあり、しかもコンバータトランスT2は磁束リセット状態となりN2～N5の各巻線に発生していた電圧が零となった時には、バイアス用コンデンサC2の端子間電

圧 V_c により転流時整流用MOS FET M2はオン状態を維持し続けることになる。以上のような動作を繰り返すことにより図2に示すスイッチング電源は駆動され、整流用MOS FET M1と転流時整流用MOS FET M2のどちらか一方は必ずオン状態となり、MOS FETに存在する寄生ダイオードが導通することはない。

【0007】しかし、コンバータトランスT2が磁束リセット状態にある時に転流時整流用MOS FET M2のオン状態を維持するバイアス用コンデンサC2の端子間電圧 V_c には、いくつかの制約条件があるので注意しなければならない。以下にその制約条件について、整流用MOS FET M1及び転流時整流用MOS FET M2の各ゲート電圧の波形を示した図4を参照しながら説明する。図4において、 V_{c2} は転流時整流用MOS FET M2のゲート電圧、 V_{c1} は整流用MOS FET M1のゲート電圧、 V_{TH} はMOS FETのしきい値電圧、 t_1 はスイッチングトランジスタQ1がターンオンした時間を表し、上から順に電圧 V_c を高くしていった時の、異なる動作状態を示している。

【0008】従来例の動作の説明において、駆動用巻線N3に発生する電圧 V_1 と電圧 V_c の関係は、 $V_1 > V_c$ と述べた。しかし、当然のことながら、転流時整流用MOS FET M2のオン状態を維持できなければ寄生ダイオードが導通してしまうので、電圧 V_c の下限は転流時整流用MOS FET M2のしきい値電圧 V_{TH} 以上である。スイッチングトランジスタQ1が時間 t_1 においてターンオンした時に、ゲート電圧が上昇あるいは降下して、MOS FETがターンオン・オフするのに時間差が発生するが、ここで、電圧 V_c の電圧値を大きくすると、ゲート電圧 V_{c2} の降下に多くの時間が掛かるようになる。そのため、図4の最下に示すように、電圧 V_c を大きくしたため、転流時整流用MOS FET M2がターンオフする前に、整流用MOS FET M1がターンオンしてしまう事象も有り得る。二つの整流素子としてのMOS FETが同時にオン状態となると、コンバータトランスT2の2次側短絡により、回路が正常に働かなくなる恐れがある。

【0009】従って、整流用MOS FET M1のターンオンするまでの時間にもよるが、電圧 V_c は、MOS FETのしきい値電圧 V_{TH} 以上であり、二つのMOS FETが同時にオン状態とならない電圧値以下としなければならない。ただ、この場合、転流時整流用MOS FET M2がオン状態にあることで、チョークコイルL1のフライバック電圧によって直流電力を負荷に供給しているため、整流用MOS FET M1がターンオンする直前まで転流時整流用MOS FET M2がオン状態にあった方がスイッチング電源の電力変換効率

10

20

30

40

50

M2のターンオフが同時になるように電圧 V_c を設定するのが最も望ましい。

【0010】

【発明が解決しようとする課題】図2に示す回路においては、コンバータトランスT2に駆動用巻線N3及び駆動用巻線N5を設けることにより転流時整流用MOS FET M2及び整流用MOS FET M1にバイアスをかけ、充電用巻線N4を設けることによりバイアス用コンデンサC2を充電している。このように一つのトランスに多数の巻線を設けることは、巻線相互間の絶縁性、特に1次巻線と2次及びその他の巻線の絶縁性について、また、巻線の発熱によるトランスの放熱対策及び装置の小型化に関して得策とは言えない。

【0011】さらに、バイアス用コンデンサC2の充電は充電用巻線N4に発生した電圧を直に印加して行っているが、充電用巻線N4に発生した電圧の電圧値は入力電圧やその他の周囲状態によって左右され易く、一定の電圧値が得られにくい。これらの理由により、スイッチング電源が稼働状態にある時にバイアス用コンデンサC2の端子間電圧が変動すると、電力変換効率の低下や、最悪の場合には2次側短絡により装置が破損する恐れも有り得る。そしてスイッチング電源の出力電圧を変更しようとしても、充電用巻線N4に発生する電圧が変化し、バイアス用コンデンサC2の端子間電圧も変化してしまうことになるので、出力電圧を調整可能とする要求には事実上応じられない。そこで本発明は、整流素子としてMOS FETを使用し、そのMOS FETはスイッチング素子に同期して駆動されるスイッチング電源において、コンバータトランスに設ける巻線数の増加を極力抑え、かつ、バイアス用コンデンサの端子間電圧を一定に保つことができ、また、その出力電圧の調整を可能としたスイッチング電源を得ることを目的とする。

【0012】

【課題を解決するための手段】本発明は、コンバータトランスに駆動用巻線を設け、駆動用巻線の一端を転流時整流用のMOS FETのゲートに接続し、駆動用巻線の他端をバイアス用コンデンサを介して転流時整流用のMOS FETのソースと接続し、スイッチング素子がオン状態の時に、コンバータトランスの2次巻線に発生する起電圧によってバイアス用コンデンサを充電し、かつ、バイアス用コンデンサの充電電圧が所定の値となるように、バイアス用コンデンサ及び駆動用巻線の接続点とコンバータトランスの2次巻線の一端の間に逆流素子用のダイオード及び定電圧回路を設けたことを特徴とするスイッチング電源である。

【0013】

【実施例】コンバータトランスに設ける巻線数の増加を極力抑え、かつ、バイアス用コンデンサの端子間電圧を一定に保てるようにした、本発明によるスイッチング電源の一実施例の回路を図1に示す。なお、図1におい

て、図2と同一部分については同じ符号を付与してある。図1において、直流電源Eの両端間に、1次、2次及び駆動用巻線としての3次巻線を有するコンバータトランスT1の1次巻線N1とNチャネル型MOSFETによるスイッチングトランジスタQ1の主電流路を直列に接続する。スイッチングトランジスタQ1のゲートには、図1においては図示を省略してあるPWM制御回路の出力端が接続される。コンバータトランスT1の2次巻線N2の一端を、チョークコイルL1及び平滑コンデンサC1を介してNチャネル型MOSFETよりなる整流素子としての整流用MOSFET M1のソースに接続し、整流用MOSFET M1のドレインを2次巻線N2の他端と接続する。この時、コンバータトランスT1の2次巻線N2のチョークコイルL1側の一端は、1次巻線N1の直流電源Eの高電位側と接続される一端と同極とする。

【0014】整流用MOSFET M1のゲートは、コンバータトランスT1の2次巻線N2とチョークコイルL1の接続点と接続する。チョークコイルL1と平滑コンデンサC1に対して並列となるように、Nチャネル型MOSFETよりなる整流素子としての転流時整流用MOSFET M2の主電流路を、平滑コンデンサC1側をソースとして接続する。転流時整流用MOSFET M2のゲートをコンバータトランスT1の3次巻線N3の一端と接続し、3次巻線N3の他端をバイアス用コンデンサC2を介して転流時整流用MOSFET M2のソースに接続する。この時、コンバータトランスT1の3次巻線N3のバイアス用コンデンサC2側の一端と、2次巻線N2のチョークコイルL1側の一端を同極とする。コンバータトランスT1の2次巻線N2とチョークコイルL1との接続点と、3次巻線N3とバイアス用コンデンサC2との接続点の間に、逆流阻止用のダイオードD1と抵抗R1の直列回路を、ダイオードD1のアノードを2次巻線N2側として接続する。バイアス用コンデンサC2に対して並列となるようにツェナーダイオードDZを、そのカソードが抵抗R1側となるように接続し、このツェナーダイオードDZと抵抗R1により定電圧回路1を形成する。なお、平滑コンデンサC1の両端がスイッチング電源の出力端となり、平滑コンデンサC1に対して並列に負荷R_Lが接続される。

【0015】以上のような回路構成とした、本発明によるスイッチング電源の動作を以下に説明する。スイッチングトランジスタQ1がオン状態の時、直流電源EによりコンバータトランスT1の1次巻線N1に電流が流れ、2次巻線N2及び3次巻線N3に電圧が誘起される。この時、2次巻線N2に誘起された電圧V₁により、整流用MOSFET M1は正バイアスされてオン状態となる。整流用MOSFET M1がオン状態となることで、2次巻線N2に誘起された電圧V₁により負荷に直流電力が供給される。また、ダイオードD1を

介して定電圧回路1に電圧V₁が入力され、定電圧回路1からの所定の電圧値の出力電圧によりバイアス用コンデンサC2が充電される。ここで、バイアス用コンデンサC2の充電状態における端子間電圧V₂と、3次巻線N3に誘起された電圧V₃との関係がV₃ > V₂とすると、電圧V₃により転流時整流用MOSFET M2は逆バイアスされてオフ状態となる。

【0016】次にスイッチングトランジスタQ1がオフ状態に移行すると、コンバータトランスT1の2次巻線N2及び3次巻線N3には、巻線のインダクタンスにより、それまでとは逆方向の電圧が発生する。コンバータトランスT1の2次巻線N2の両端間の電圧の極性が反転するため、整流用MOSFET M1は逆バイアスされてオフ状態となる。転流時整流用MOSFET M2は、コンバータトランスT1の3次巻線N3に発生した電圧とバイアス用コンデンサC2の端子間電圧V₂が重畳した電圧により正バイアスされてオン状態となる。転流時整流用MOSFET M2がオン状態となることで、チョークコイルL1の両端間には転流時整流用MOSFET M2の主電流路を介して閉回路が形成され、チョークコイルL1に発生したフライバック電圧により負荷に直流電力が供給される。

【0017】スイッチングトランジスタQ1がオフ状態であり、しかもコンバータトランスT1は磁束リセット状態となり、2次巻線N2及び3次巻線N3に発生していた電圧が零となった時には、転流時整流用MOSFET M2は、バイアス用コンデンサC2の端子間電圧V₂によりオン状態を維持し続ける。以上のような動作により、常に整流用MOSFET M1と転流時整流用MOSFET M2のどちらか一方は必ずオン状態となり、MOSFETに存在する寄生ダイオードが導通することは無い。

【0018】なお、図1に示す本発明の回路において、整流用及び転流時整流用のMOSFETにNチャネル型を用いて実施例の説明を行ったが、Pチャネル型のMOSFETでも使用可能であり、その場合には各巻線の極性が逆となるように回路を構成すれば良い。また、定電圧回路としては抵抗R1とツェナーダイオードDZによる最も簡単な回路にて実施例の説明を行ったが、定電圧回路として3端子レギュレータを用いても良い。さらに、MOSFETがターンオフする時のスパイクノイズを低減するために、整流素子としてのMOSFETに対して並列に、MOSFETの寄生ダイオードより順方向電圧降下の小さいショットキー障壁型のダイオードを設けることもある。

【0019】

【発明の効果】以上に述べたように、本発明は、整流素子としてMOSFETを使用したスイッチング電源において、コンバータトランスの2次巻線に誘起される電圧を定電圧回路を介してバイアス用コンデンサに供給す

ることで、常に所定の電圧でバイアス用コンデンサを充電し、その端子間電圧が一定となるようにしたものである。このことにより、従来の回路での充電用巻線が不要となり、コンバータトランスの巻線数の増加を抑えることができ、巻線の絶縁や放熱対策が容易になる。さらに、バイアス用コンデンサの端子間電圧を定電圧回路により一定に保つことができるので、バイアス用コンデンサの端子間電圧の変動により MOS FET の動作点が移動し、スイッチング電源の電力変換効率が低下したり、2次側短絡によって装置を破損することを防止でき、同時に、出力電圧を調整可能とすることもできる。

【図面の簡単な説明】

【図 1】 本発明のスイッチング電源の実施例の回路 *

* 図。

【図 2】 従来のスイッチング電源の回路図。

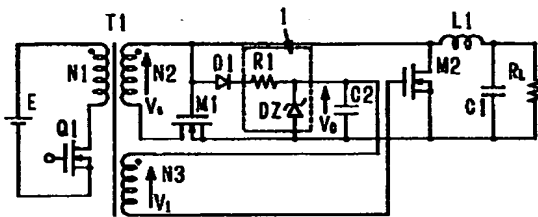
【図 3】 図 2 に示す回路の各点における電圧波形。

【図 4】 図 2 に示す回路の各整流素子としての MOS FET のゲート電圧波形

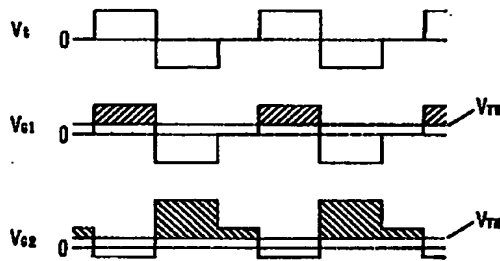
【符号の説明】

E	直流電源
T 1	コンバータトランス
L 1	チョークコイル
10 M 1	主整流用の MOS FET
M 2	転流時整流用の MOS FET
C 2	バイアス用コンデンサ
1	定電圧回路

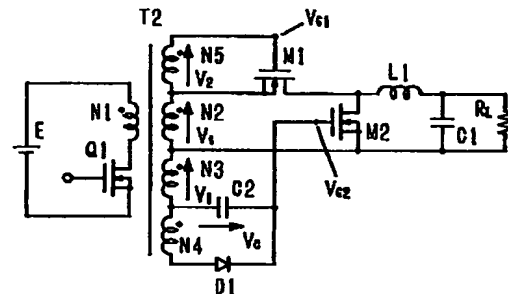
【図 1】



【図 3】



【図 2】



【図 4】

